

Gleitkomma

7,4 float / Exponent = 5 bit

① Exzess (Bias)
 $2^{(5-1)} - 1 = 2^4 - 1 = 16 - 1 = 15$

② Vorkomma Binär
 $7 = 111$

③ Nachkomma Binär
 $0,4 \cdot 2 = 0,8 \rightarrow 0$
 $0,8 \cdot 2 = 1,6 \rightarrow 1$
 $0,6 \cdot 2 = 1,2 \rightarrow 1$
 $0,2 \cdot 2 = 0,4 \rightarrow 1$
 $\vdots$

④ Normalisieren
 $111,01100110 \dots 2^0$
 $111101100110 \dots 2^3$

⑤ Exponent 2
 Exzess: 15 (5 bit)
 $15 + 2 = 17$
 $17 = 10001$

⑥ Vorzeichen: $+ = 0$
 $- = 1$

⑦ 010001110110

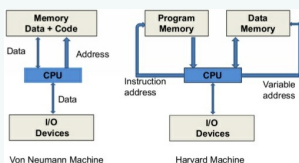
Zweierkomplement

Beispiel	3D-6D
6D	0110 1101
6D Einerkomplement	1001 0010
6D Zweierkomplement	1001 0011
3D	0011 1101
Ergebnis (D0)	1101 0000
Invertieren (2F)	0010 1111
Plus 1 (30)	0011 0000

CPU Aufbau

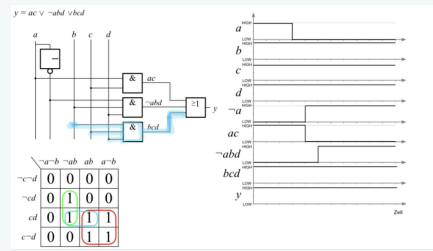
MDR	Memory Data Register
MAR	Memory Address Register
PC	Program Counter
IR	Instruction Register

Von-Neumann vs Harvard



CISC vs RISC

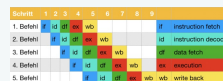
Hazards



DNF und KNF

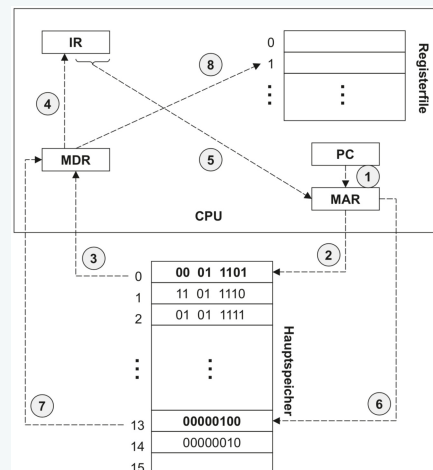


Pipelining



$$\text{Takte } T = \text{Befehle} + (\text{Pipestufen} - 1)$$

Ablauf LOAD Befehl



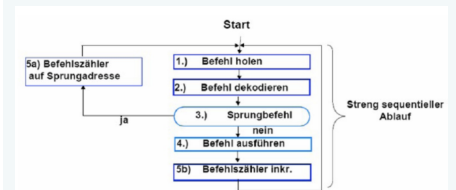
PC in MAR kopiert und auf Adressbus
 Kontrollwerk verlangt eine Leseoperation
 und PC um eins inkrementiert
 Hauptspeicher erhält die Adresse der
 Speicherzelle vom Adressbus, Inhalt der
 Zelle per Datenbus an MDR weiter
 Inhalt MDR in IR kopiert. Kontrollwerk
 ersten zwei Bits für LOAD Befehl
 Vier weitere Bits vom IR ins MAR, Inhalt
 wird dann vom Hauptspeicher gelesen und
 im MDR gespeichert
 Inhalt des MDR wird in Register R1 kopiert

KV Diagramm

CPU Befehle

Kategorie	Befehle
Transferrbefehle	LOAD, STORE
Arithmetisch- und Logisch	ADC, CMP
Sprungbefehle	JMP, CALL
Systembefehle	DISABLE IRQ ENABLE IRQ

CPU Ablauf



Stackframe



MIPS

Gegeben:
 • 15.000.000 Befehle
 • 250MHz
 • 2,5 Takte mittlere Befehlslänge
 • 1,6 Speicherzugriffe je Befehl
 • einer Insnally 70k

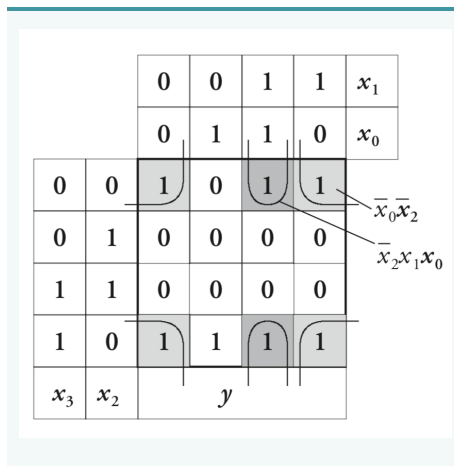
$T_{akt} = \frac{1}{250.000.000} = 0,000000004s = 4ns$

$\text{Speichertakt} = T_{akt} \cdot 1,75 = 1,75$

$T_{spei} = \frac{15.000.000 \cdot (2,5 + 1,6 \cdot 1,75)}{250.000.000} = 0,318s$

$MIPS = \frac{250.000.000}{2,5 + 1,6 \cdot 1,75} = 47,17MIPS$

Eigenschaft	CISC	RISC
Register	Wenige (ca. 20)	Viele (bis zu 200)
Befehlssatz	ca. 300	ca. 100
Adressierungsarten	ca. 12	nur 3 bis 5
Caches	gemeinsam	getrennt (nach Harvard)
CPI	1-10 (~4)	1 (~ 1,5)
Befehlssteuerung	Mikrocode im Speicher	Hartverdrahtet Mikroprogramme
Beispiele	x86, AMD, Cyrix	UltraSparc, PowerPC



By **peshay**
cheatography.com/peshay/

Not published yet.
 Last updated 15th May, 2019.
 Page 1 of 2.

Sponsored by **ApolloPad.com**
 Everyone has a novel in them. Finish Yours!
<https://apollopad.com>